

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP02000198235A
DOCUMENT-IDENTIFIER: JP 2000198235 A
TITLE: CLOCK GENERATOR
PUBN-DATE: July 18, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKAGI, KOICHI	N/A
AZUMAI, MITSUO	N/A
IZUMIYA, KENJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KONICA CORP	N/A

APPL-NO: JP11276551
APPL-DATE: September 29, 1999

INT-CL (IPC): B41J002/44, G02B026/10 , H03K005/15 , H04N001/113

ABSTRACT:

PROBLEM TO BE SOLVED: To generate such a dot clock as a predetermined number of pulses are generated within a predetermined time in one integrated circuit without requiring any external part.

SOLUTION: A clock generator comprises a plurality of exposing means for forming images of a plurality of colors on an image carrier, a delay section 410 generating a plurality of delay clocks of different phase by delaying a reference clock, sections 420, 430 for detecting shift of the images formed on the image carrier by the exposing means, a delay clock switching control section 440 for determining the phase correction amount of each color from the shift of the images and then determining which phase of delay clock must be selected for each color, and a section 450 for selecting a delay clock from delay section for each color and supplying it, as a dot clock, to the exposing means.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-198235

(P2000-198235A)

(43) 公開日 平成12年7月18日 (2000.7.18)

(51) Int.Cl. ⁷	識別記号	F I	テラート (参考)
B 4 1 J 2/44		B 4 1 J 3/00	D
G 0 2 B 26/10		G 0 2 B 26/10	A
H 0 3 K 5/15		H 0 3 K 5/15	G
H 0 4 N 1/113		H 0 4 N 1/04	1 0 4 A

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願平11-276551

(22) 出願日 平成11年9月29日 (1999.9.29)

(31) 優先権主張番号 特願平10-276092

(32) 優先日 平成10年9月29日 (1998.9.29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001270

コニカ株式会社

東京都新宿区西新宿1丁目26番2号

(72) 発明者 高木 幸一

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 東井 満男

東京都八王子市石川町2970番地 コニカ株式会社内

(72) 発明者 泉宮 賢二

東京都八王子市石川町2970番地 コニカ株式会社内

(74) 代理人 100085187

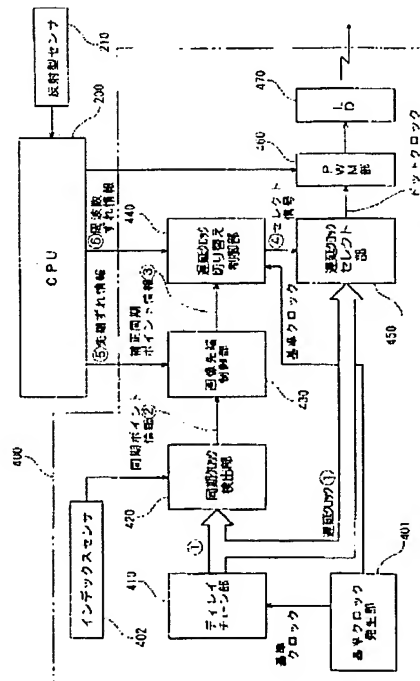
弁理士 井島 藤治 (外1名)

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【課題】 外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能なクロック発生回路を提供する。

【解決手段】 像担持体上に複数の色の画像を形成する複数の露光手段と、基準クロックを遅延させて位相の異なる複数の遅延クロックを生成する遅延部410と、前記露光手段が前記像担持体上に形成した画像のずれ状態を検出するずれ検出部420、430と、画像のずれ状態から各色毎の位相補正量を求め、各色毎にどの位相の遅延クロックを選択すべきかを決定する遅延クロック切り替え制御部440と、前記遅延クロック切り替え制御部での決定結果を受け、前記遅延部からの遅延クロックを各色毎に選択し、ドットクロックとして前記露光手段に供給する遅延クロック選択部450と、を備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部とを有し、

前記複数の遅延クロックの中から位相の異なる遅延クロックを順次選択し、この選択されたクロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、ことを特徴とするクロック発生回路。

【請求項2】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、

前記遅延クロック生成部によって生成された複数の遅延クロックからインデックス信号に同期した遅延クロックを検出する同期検出部と、

前記同期検出部において検出されたクロックを参照して位相補正量を求め、この位相補正量に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、

前記切替制御部により選択された位相の異なる遅延クロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、ことを特徴とするクロック発生回路。

【請求項3】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、

前記遅延クロック生成部によって生成された複数の遅延クロックから、インデックス信号に同期した第1同期ポイント情報及び第2同期ポイント情報を検出する同期検出部と、

前記同期検出部において検出された第1同期ポイント情報と第2同期ポイント情報とから遅延クロックの周期段数を求め、この周期段数に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、

前記切替制御部により選択された位相の異なる遅延クロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、ことを特徴とするクロック発生回路。

【請求項4】 所定間隔でパルスを発生させる基準クロック生成部と、

前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、

前記遅延クロック生成部によって生成された複数の遅延クロックから、第1の入力信号及び第2の入力信号のそれぞれの先端位置に同期した第1同期クロック及び第2同期クロックを検出する同期検出部と、

前記同期検出部において検出された第1同期クロックと第2同期クロックを参照し、前記第1同期クロックと前記第2同期クロックとの先端位置のずれ量を求め、該ずれ量に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、

前記切替制御部により選択された位相の異なる遅延クロックを合成することによって、前記第1入力信号と前記第2入力信号とに基づいて出力されるクロックの先端位置を同期させ、かつ、所定時間内に前記第1入力信号と前記第2入力信号とに基づいて出力されるクロックのパルス数を所定数にする、ことを特徴とするクロック発生回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明はクロック発生回路に関し、さらに詳しくは、所定時間内の駆動クロックのパルス数が所定数になるように調整するクロック発生回路に関する。

【0002】

【従来の技術】画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる駆動クロックを基準にして、レーザビームを画像データで変調している。

【0003】したがって、所定のドットクロック数に応じて、像担持体上に形成される主走査方向における画像の長さが常に一定になるようにドットクロックを生じる必要がある。

【0004】また、近年では記録紙上にカラー画像を得るために像担持体近傍に帯電、露光、現像の各手段を有するユニットを複数備えて、像担持体の1回転内に像担持体上にカラートナー像を形成し、一括して記録紙上に転写を行うカラー画像形成装置が開発されている。また、中間転写体近傍に複数の像担持体を有し、各像担持体の周囲に帯電、露光、現像、転写手段を備え、各像担持体上に形成されたトナー像を中間転写体に順次転写して行き、中間転写体に担持されたカラートナー像を一括して転写紙上に転写を行うカラー画像形成装置も開発されている。

【0005】

【発明が解決しようとする課題】前者のような画像形成装置において、主走査を行うポリゴンミラーの回転数の変動や、光学系の収差などによって、所定のドットクロック数に応じて像担持体上に形成される画像の長さがばらつく場合がある。

【0006】また、後者のように複数の露光手段を用いて像担持体上または中間転写体上にカラートナー像を形成するようなカラー画像形成装置においては、各露光手段のポリゴンミラーやレンズ等の光学系の特性のばらつきによって各露光手段間において像担持体上に形成される主走査方向における画像の長さにばらつきを生じ、それが原因となって色ずれが生じる。

【0007】以上のような場合、ドットクロックの立ち上がりタイミング（位相）や周波数を微妙に調整できることが好ましい。このような位相や周波数の調整を可能にする回路として、VCO（電圧制御型水晶発振器）やDDS（デジタルダイレクトシンセサイザ）などが知られている。

【0008】このVCOやDDSは精度の点では問題がないが、装置が高価になること、独立したデバイスであってシステムの1チップ化（集積回路化）に不向きである、などの点から画像形成装置のドットクロックの生成には適していない。

【0009】本発明は、上記の課題を解決するためになされたものであって、その目的は、外付け部品を使わず一つの集積回路内で、所定時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能なクロック発生回路を提供することにある。

【0010】

【課題を解決するための手段】すなわち、課題を解決する手段としての本発明は以下に説明するようなものである。

【0011】（1）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部とを有し、前記複数の遅延クロックの中から位相の異なる遅延クロックを順次選択し、この選択されたクロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、クロック発生回路である。

【0012】このクロック発生回路では、複数の遅延クロックの中から位相の異なる遅延クロックを順次選択し、この選択されたクロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成するようにしている。

【0013】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0014】この結果、外付け部品を使わず一つの集積回路内で、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

（2）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された複数の遅延クロックからインデックス信号に同期した遅延クロックを抽出する同期検出部と、前記同期検出部において検出されたクロックを参照して位相補正量を求め、この位相補正量に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、前記切替制御部により選択された位相の異なる遅延クロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、クロック発生回路である。

【0015】このクロック発生回路では、複数の遅延クロックからインデックス信号に同期した遅延クロックを抽出して位相補正量を求め、この位相補正量に基づいて、複数の遅延クロックの中から位相の異なる遅延クロックを順次選択するようにしている。

【0016】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを、位相補正量に基づいて所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0017】この結果、外付け部品を使わず一つの集積回路内で、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

（3）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された複数の遅延クロックから、インデックス信号に同期した第1同期ポイント情報及び第2同期ポイント情報を検出する同期検出部と、前記同期検出部において検出された第1同期ポイント情報と第2同期ポイント情報とから遅延クロックの周期段数を求め、この周期段数に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、前記切替制御部により選択された位相の異なる遅延クロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成する、クロック発生回路である。

【0018】このクロック発生回路では、第1同期ポイント情報と第2同期ポイント情報とから遅延クロックの周期段数を求め、この周期段数に基づいて複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択するようにしている。

【0019】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を

細かく変えた遅延クロックを、遅延クロックの周期段数に基づいて所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0020】この結果、外付け部品を使わず一つの集積回路内で、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

（4）所定間隔でパルスを発生させる基準クロック生成部と、前記基準クロック生成部によって生成された基準クロックを遅延させて、位相の異なる複数の遅延クロック群を生成する遅延クロック生成部と、前記遅延クロック生成部によって生成された複数の遅延クロックから、第1の入力信号及び第2の入力信号のそれぞれの先端位置に同期した第1同期クロック及び第2同期クロックを検出する同期検出部と、前記同期検出部において検出された第1同期クロックと第2同期クロックを参照し、前記第1同期クロックと前記第2同期クロックとの先端位置のずれ量を求め、該ずれ量に基づいて前記複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択する切替制御部と、を有し、前記切替制御部により選択された位相の異なる遅延クロックを合成することによって、前記第1入力信号と前記第2入力信号とに基づいて出力されるクロックの先端位置を同期させ、かつ、所定時間内に前記第1入力信号と前記第2入力信号とに基づいて出力されるクロックのパルス数を所定数にする、クロック発生回路である。

【0021】このクロック発生回路では、第1入力信号と前記第2入力信号とに基づいて出力されるクロックの先端位置を同期させ、かつ、所定時間内に前記第1入力信号と前記第2入力信号とに基づいて出力されるクロックのパルス数を所定数にするようにしている。

【0022】すなわち、少なくとも2つの信号において、クロック周波数を微調整して合わせることなく、先端位置の同期あわせと、パルス数を所定数にすることをやっている。

【0023】この結果、外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

【0024】

【発明の実施の形態】以下、図面を参照して、本発明のクロック発生回路の実施の形態例を詳細に説明する。まず、本発明の一実施の形態例のクロック発生回路を適用することが可能なカラー画像形成装置の機械的な構成図である図10を用いて、カラー画像形成装置の全体構成を説明する。

【0025】なお、本実施の形態例の画像形成装置は、多色の画像形成装置であり、ここでは、Y（イエロー）、M（マゼンタ）、C（シアン）、K（黒）の4色のトナーを使用するカラー画像形成装置を例にする。

【0026】最初に、上ローラ3と下ローラ5と横ローラ7とに巻回された無端ベルト状の像担持体（感光体）1は、上ローラ3と下ローラ5とにより上下方向に張架され、図中の矢印1方向に駆動される。

【0027】さらに、像担持体1が下から上へ移動する面には、像担持体1によって形成された閉空間方向に像担持体1を押圧し、像担持体1を閉空間方向に案内するガイド手段としての押圧ローラ9が設けられている。

【0028】像担持体1が下から上へ移動する面の上部には、像担持体1に摺接し、像担持体1上の現像剤を除去するクリーニング手段11が設けられている。クリーニング手段11の下方には、クリーニング手段11によって除去された現像剤を捕集する捕集手段としての回収ボックス21が像担持体1に沿って設けられている。

【0029】次に、像担持体1に対して潜像を形成する潜像形成手段の説明を行なう。本実施の形態例の画像形成装置は、4色のカラー画像形成装置であるので、各色に応じて四つの潜像形成手段を有している。

【0030】すなわち、像担持体1に対してレーザ光を用いてY（イエロー）用の潜像を形成するY光学書き込み部25と、像担持体1に対してレーザ光を用いてM（マゼンタ）用の潜像を形成するM光学書き込み部27と、像担持体1に対してレーザ光を用いてC（シアン）用の潜像を形成するC光学書き込み部31と、像担持体1に対してレーザ光を用いてK（黒）用の潜像を形成するK光学書き込み部である。

【0031】次に、現像剤の説明を行なう。像担持体1上に形成された各色の静電潜像を現像する四つの現像器が設けられている。すなわち、Y光学書き込み部25で形成された潜像を現像するY現像器42と、M光学書き込み部27で形成された潜像を現像するM現像器43と、C光学書き込み部29で形成された潜像を現像するC現像器45と、K光学書き込み部31で形成された潜像を現像するK現像器47である。

【0032】また、各色の現像器42、43、45、47に対応して、像担持体1に電荷を付与する帯電手段の帯電極が設けられている。すなわち、Y用の帯電極61と、M用の帯電極63と、C用の帯電極65と、K用の帯電極67である。さらに、本実施の形態例の各色の帯電手段は、像担持体1上の帯電電位を制御するグリッド71、73、75、77を有している。

【0033】S1は給紙部で、転写材としての転写紙Pが収納されたカセットS3が設けられている。このカセットS3の転写紙Pは、搬送ローラS5により搬出され、搬送ローラ対S7、レジストローラS8により挟持搬送され、転写手段91に給送される。

【0034】転写手段91には、像担持体1と異なる極性の電位に保たれた転写ローラ92が設けられ、この転写ローラ92は横ローラ7と協働して像担持体1を挟むように設けられている。

【0035】100は熱ローラ対101の挟着により、転写紙Pに熱圧力を加え、トナーを転写紙Pに融着させる定着部、110は熱定着を終えた転写紙Pを排紙トレイ111まで挟持搬送する搬送ローラ対である。

【0036】また、120は装置外に設けられた給紙部から搬送された別サイズの転写紙Pが通る給紙路である。次に、上記構成の画像形成装置の全体の動作を説明する。像担持体1が矢印1方向に駆動されると、帯電極61及びグリッド71からなるY用の帯電手段により、像担持体1上は所定の帯電電位となる。

【0037】次に、Y光学書き込み部25により、像担持体1に静電潜像が形成される。そして、Y現像器42の現像スリーブ55に担持された現像剤中のトナーがクーロン力により像担持体1上に移動し、像担持体1上にトナー像が形成される。

【0038】これと同様な動作を残りの色、すなわち、M、C、Kについて行い、像担持体1上のY、M、C、Kのトナー像を形成する。一方、給紙部81からは、転写紙Pが、搬送ローラ85、搬送ローラ対87によって転写手段91に向け給送される。

【0039】給送された転写紙Pは、レジストローラ88により、像担持体1上のトナー画像とタイミング調整した上で、同期して転写手段91に給送され、転写手段91の転写ローラ92により帯電され、像担持体1上の現像剤像が転写紙Pに転写される。

【0040】次に、転写紙Pは、定着部100で加熱、加圧され、トナーが転写紙Pに融着され、搬送ローラ対110により排紙トレイ111上に排出される。また、転写が終了した像担持体1上の余剰のトナーは、クリーニング手段11のブレード17により除去され、回収ボックス21内に貯留される。

【0041】なお、光学書き込み部の構成は、図9のようになっている。すなわち、回路部480で生成された信号に基づいて、LD470が発光する。そして、LD470からのレーザビームは、コリメータレンズ491、シンドリカルレンズ492を通過した後にポリゴンミラー493で走査され、f θ レンズ494、シンドリカルレンズ495を通過して像担持体1に書き込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ402に導かれて、タイミングが検出される。

【0042】以下、図面を参照して、本発明のクロック発生回路の実施の形態例を詳細に説明する。

<第1実施例のクロック発生回路の構成>図1は本発明の第1実施例の電気的な全体構成を示す構成図である。この図1において、1は画像が形成される像担持体、200は後述するドットクロックを発生するための制御手段としてのCPU、210は像担持体1に形成される所定の画像からの反射光を読み取ってそれを検出するための反射型センサ、250はドットクロックに同期して画

像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体1に対して出力するY露光ユニット、270はドットクロックに同期して画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体1に対して出力するM露光ユニット、290はドットクロックに同期して画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体1に対して出力するC露光ユニット、310はドットクロックに同期して画像信号を読み出し、画像信号の信号値に応じたパワーのレーザビームを像担持体1に対して出力するK露光ユニットである。

【0043】また、図2は上述したY露光ユニット250、M露光ユニット270、C露光ユニット290、K露光ユニット310内の電気的な露光ユニット400の回路構成を、CPU200などと共に示すブロック図である。なお、この図2では、露光ユニット400の一つのみ示すが、実際には同等なものがY・M・C・Kのそれぞれに存在しているものとする。

【0044】この図2において、ディレイチェーン部410は入力クロック（基準クロック発生部401からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延クロック（図2①）を得るための、本発明の遅延部を構成するディレイ素子群である。ここで、図3に示すごとく、ディレイチェーン部410は、位相が少しずつ異なる遅延クロックについて、基準クロックの2周期分以上にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【0045】なお、基準クロック発生部401は、個々の露光ユニットにそれぞれ内蔵されていてもよいが、単一の基準クロック発生部401からそれぞれの露光ユニットに基準クロックを分配してもよい。

【0046】また、インデックスセンサ402はレーザビームの走査における基準位置を検出するものである。図7はインデックス信号および各ディレイ素子から出力される遅延クロックを示す。

【0047】同期クロック検出部420はインデックスセンサ402での検出信号を受け、遅延クロック群の中でインデックス信号に同期している遅延クロックの段番号（同期ポイント）を検出する検出手段であり、同期ポイント情報（図2②）を出力する。ここで、同期クロック検出部420は、遅延クロック群の中で、最初にインデックス信号に同期している第1同期ポイント情報SP1と、2番目にインデックス信号に同期している第2同期ポイント情報SP2と、を出力できることが好ましい。

【0048】図7において、第1同期ポイント情報SP1はディレイ素子DL20の遅延クロックの同期ポイント、第2同期ポイント情報SP2はディレイ素子DL50の遅延クロックの同期ポイントを示す。

【0049】画像先端制御部430は同期クロック検出部420からの同期ポイント情報(図2②)を受け、CPU200からの画像先端ずれ情報(図1⑤、図2⑤)をもとに補正同期ポイント情報(図2③)を出力する。

【0050】遅延クロック切り替え制御部440は、画像先端制御部430からの補正同期ポイント情報(図2③)と、CPU200からの周波数ずれ情報(図2⑥)とに基づいて、位相補正量を求め、遅延クロック群の中からどの位相の遅延クロックを選択すべきかのセレクト信号(図2④)を出力するものである。

【0051】なお、画像先端ずれ情報と周波数ずれ情報については、後述する。遅延クロックセレクト部450は遅延クロック切り替え制御部440からのセレクト信号を受け、遅延クロック群の中から対応する位相の遅延クロックを選択し、ドットクロックとして出力するものである。

【0052】そして、PWM部460はドットクロックと画像信号とを受けて、レーザダイオード(LED)470を駆動するための信号を発生する。LED470からは画像信号の値に応じてパルス幅変調されたレーザビームが、像担持体1に向けて照射される。

【0053】また、図4に示すように、遅延クロック切り替え制御部440は、周波数ずれ情報に応じた位相補正量を補正カウント値(カウントロードデータ)として求める補正量演算部441と、カウントロードデータをカウントすることで遅延クロックの選択段数を切替えるためのカウントデータを生成する切替カウンタ442と、カウントデータと同期ポイント情報とを参照して遅延クロック群の中からどの位相の遅延クロックを選択すべきかのセレクト信号を出力するセレクト信号演算部443とを有している。なお、切替カウンタ442では、遅延クロックの切替ポイントを毎ラインごとに切り替えることが、切り替えを目立たなくする点で望ましい。

【0054】<ずれ検出の原理>ここで、図5を参照してずれ検出の様子について簡単に説明する。露光ユニット250、270、290、310により所定のパターン(ここでは、「フ」字状のパターン)の画像を、像担持体上の主走査方向先端側に形成する。像担持体上には実線で示すパターンが形成されているが、本来は破線で示す基準パターンが形成される予定であったとする。

【0055】ここでは、露光ユニットや各光学系の収差などにより、主走査方向にdxのずれが発生している。この場合に、像担持体を副走査方向に移動させつつ、パターンを読み取れる位置に配置された反射型センサ210で読み取りを行うことで、「フ」字状のパターンの横線から斜線までの距離Y'に相当する読み取り時間が得られる。

【0056】像担持体の副走査方向の移動速度と、実線と破線間での横線と斜線の読み取り時間差とにより、距離Y'が得られることで、予めフォトセンサの検出位置

における距離Yoは求めるため、 $dy = Y' - Yo$ により、dyを求めることもできる。

【0057】つぎに、横線と斜線とがなす角度を θ とすると、 $dx = dy / \tan \theta$ で、主走査方向のずれdxも求められる。

【0058】したがって、Y、M、C、Kの各色について、このような所定のパターンの形成と読み取りとを行うことで、主走査方向の先端の画像のずれ状態(画像先端ずれ情報)を検出することが可能になる。

10 【0059】また、同一副走査位置であって、主走査方向先端側と主走査方向末端側とに同じ形状の「フ」字状のパターンを形成し、その間隔を測定することによって主走査方向の画像の伸び縮みに関するずれ状態(周波数ずれ情報)を検出することができる。

【0060】そして、CPU200がこのような処理を行って、画像先端ずれ情報(図1⑤、図2⑤)および周波数ずれ情報(図1⑥、図2⑥)として露光ユニットに供給する。

20 【0061】<クロック発生回路の動作>つぎに、この第1実施例のクロック発生回路の動作の説明を行う。ここでは、Y、M、C、Kの4色の画像形成を行う画像形成装置に適用した場合を例にして説明を行う。

【0062】なお、この実施の形態例のクロック発生回路を用いる画像形成装置は、Y露光ユニット250、M露光ユニット270、C露光ユニット290、K露光ユニット310を備えており、ベルト状の像担持体が1回転する間に4色の画像を形成する装置や、Y、M、C、Kの各色毎に露光ユニットと感光体ドラムとを備えていて1パスで画像形成を行う装置などが該当する。

30 【0063】すなわち、複数の露光ユニットを備えていて、同一の基準クロックを使用しても色ずれが発生する可能性のある画像形成装置であれば、このような形式以外の各種の画像形成装置に適用することが可能である。

【0064】<動作例①>まず、図6のタイムチャートを参照し、ある特定の1色について、周波数ずれ情報を参照して、ドットクロックとして使用される遅延クロックをある時間毎にシフトさせ、ドットクロックのパルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について説明する。

40 【0065】前述した所定パターンの形成と読み取りとによって検出された周波数ずれを示す周波数ずれ情報ER、基準クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す1ライン画素数情報が、CPU200から補正量演算部441に与えられる。

【0066】また、同期クロック検出部420からの第1同期ポイント情報SP1と第2同期ポイント情報SP2とから、周期段数(基準クロック1周期分の遅延が得られる遅延素子段数)NSを求める。

1.1

【0067】また、CPU200はずれ方向情報をセレクト信号演算部443に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「-補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

【0068】前述した所定パターンの形成とその測定により、周波数ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER=6\text{ ns}$ 、ずれ方向情報=「-補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

【0069】まず、同期クロック検出部420がインデックスセンサ402からのインデックス信号の立ち上がり参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

【0070】前記第1同期ポイント情報SP1はインデックス信号の立ち上がりに同期したディレイチェーン部410ディレイ素子の段番号を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基準クロック1周期分遅れたディレイチェーン部410ディレイ素子の段番号を示している。

【0071】ここでは、 $SP1=20$ 、 $SP2=50$ であったとする。なお、この様子を図7に示す。ここでは、20段目のDL20(図7(c))の遅延クロックと、このDL20からクロック1周期分遅れた50段目のDL50(図7(m))の遅延クロックとが、インデックス信号の立ち上がり(図7(a))に同期している状態を示している。

【0072】つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、周期段数NSを求める。ここで、前記周期段数NSは、基準クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、周期段数 $NS=SP2-SP1$ より、 $NS=30$ となる。

【0073】また、1段あたりのディレイ素子の遅延時間DTを、前記NS及び基準クロックの周期から求める。たとえば、基準クロック周期TCが 30 ns であった場合は $NS=30$ であるので、 $DT=TC/NS$ より $DT=1\text{ ns}$ となる。

【0074】1段あたりのディレイ素子の遅延時間は、集積回路の温度状態や集積回路に供給される電源電圧の変動などに起因して変動するので、ある場合には 1.5 ns になったり、 0.5 ns になったりすることが考えられる。しかしながら、基準クロック周期TCは変化しないため、周期段数NSを求めることにより、測定時の1段あたりのディレイ素子の遅延時間を正確に求めることができる。

【0075】そして、適正な画像信号を得るためには最終的にディレイ素子何段分ずらすかを示す切替段数NC

1.2

を、周波数ずれ情報ER、ずれ方向情報及び遅延時間DTから求める。ここでは、 $ER=6\text{ ns}$ 、ずれ方向情報=「-補正」、 $DT=1\text{ ns}$ より、切替段数 $NC=-6$ となる。

【0076】以上の切替段数NCより、適正な画像信号を得るためには最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は50段目のディレイ素子からの遅延クロックをドットクロックとして採用し、その後カウンタによりある時間毎にセレクト信号に同期して1走査ライン中において、49段目、48段目、47段目、46段目、45段目の遅延クロックを順次置き換えてドットクロックとして採用していき、最終的には44段目からの遅延クロックをドットクロックとして採用するようにすればよい。

【0077】この様子を図6に示す。図6(f)が最終的に44段目の遅延クロックをドットクロックとして採用した様子を示している。

【0078】なお、切替段数NCが周期段数NSより大きい場合には、セレクト信号を循環させるようにすればよい。上述した例で、 $SP1=20$ 、 $SP2=50$ 、周期段数30の場合の「-補正」では、セレクト信号が50、49、…、21、20、となった時点で、セレクト信号の20とセレクト信号の50とは等しい位相であるので、次は49、48、…とすればよい。すなわち、50、49、…、21、20(=50)、49、48…となる。また、「+補正」においても同様にセレクト信号を循環させるようにすればよい。

【0079】このようなセレクト信号を受けた遅延クロックセレクト部450では、ディレイチェーン部410からの遅延クロック群の中から、50段目、49段目、48段目、47段目、…のように遅延クロックの選択を行って、ドットクロックとして露光ユニットに供給する(図6(g))。

【0080】この場合には遅延クロック群の中から、50段目、49段目、48段目、47段目、…と選択することで、最初はインデックス信号に同期した遅延クロック(50段目の遅延クロック)が得られ、その後切替カウンタ442でカウントアップされるたびに1ライン内で定期的に徐々に遅延の少ない(位相が進んだ)遅延クロック(49段目、48段目、47段目、…)が得られる(図6(f))。この結果、「-補正」が実現され、最終的に主走査方向に伸びているずれを 6 ns だけ縮めるような補正が実行される。

【0081】また、「+補正」の場合には、第1同期ポイント情報SP1を初期値として、遅延クロック群の中から、20段目、21段目、22段目、23段目、…と選択することで、最初はインデックス信号に同期した遅延クロック(20段目の遅延クロック)が得られ、徐々に遅延の多い(位相が遅れた)遅延クロック(21段

目、22段目、23段目、…)が得られる。この結果、「+補正」が実現され、最終的に1ライン内で主走査方向に縮んでいるずれを伸ばすような補正が実行される。

【0082】すなわち、ずれ情報を参照して、基準クロックのパルスのある時間毎にシフトさせ、パルス数が1ライン内で所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるような調整が行える。

【0083】なお、以上の動作を行う際に、V_VALIDがアクティブである期間中は、H_VALIDにかかわらず、前記切替カウンタ442を動作させつづけるようにする。このようにすることで、各水平ラインでランダムな位置で上述した切替えが行われるようになり、画像においてドットクロックの切替えが目立たなくなる。

【0084】<動作例②>つぎに、図8のタイムチャートを参照し、Y、M、C、Kの4色について、周波数ずれ情報を参照して、遅延クロックのパルスのある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について説明する。

【0085】また、この動作例では、具体的数値を用いて説明を行う。なお、ここでは、Yの画像を基準にして、Yに対するMCKの相対的なずれ(ER_{ym}、ER_{yc}、ER_{yk})を検出し、M、C、KをYに合わせるような補正を行う場合を例にして説明する。

【0086】ここで、
主走査方向の1ライン画素数PH=4720、
ディレイチェーン部410の遅延段数=256、
クロック周波数=33MHz、
クロック周期TC=30ns、
1段の遅延時間DT=1ns(0.5ns~2.0ns)、
周期段数NS=30、
Y露光ユニット61でのSP_{1y}=10、SP_{2y}=40、
M露光ユニット62でのSP_{1m}=20、SP_{2m}=50、ER_{ym}=+7ns、
C露光ユニット63でのSP_{1c}=15、SP_{2c}=45、ER_{yc}=-4ns、
K露光ユニット64でのSP_{1k}=25、SP_{2k}=55、ER_{yk}=+2ns、
であるとする。

【0087】この場合、Mの補正は-7ns、Cの補正は+4ns、Kの補正は-2nsにする必要がある。そこで、上述した動作例①にあるような切替段数(切替段数NC_m、切替段数NC_c、切替段数NC_k)を求め、カウント結果に従ってセレクト信号演算部443がM、C、Kそれぞれのセレクト信号を生成する。なお、Yについては、M、C、Kの基準であるので、セレクト信号

は固定でよい。

【0088】このようなセレクト信号を受けた遅延クロックセレクト部450では、Yについて、ディレイチェーン部410からの遅延クロック群の中から、40段目の遅延クロックを選択して、ドットクロックとしてY露光ユニット61に供給する(図8(c))。

【0089】また、遅延クロックセレクト部450は、Mについて、ディレイチェーン部410からの遅延クロック群の中から、50段目、49段目、48段目、47段目、…、43のように遅延クロックの選択を切替カウンタ442のカウントアップ毎に行って、ドットクロックとしてM露光ユニット62に供給する(図8(d))。これにより、トータルで-7nsの補正が実行される。

【0090】また、遅延クロックセレクト部450は、Cについて、ディレイチェーン部410からの遅延クロック群の中から、45段目、46段目、47段目、48段目のように遅延クロックの選択を切替カウンタ442のカウントアップ毎に行って、ドットクロックとしてC露光ユニット63に供給する(図8(e))。これにより、トータルで+4nsの補正が実行される。

【0091】また、遅延クロックセレクト部450は、Kについて、ディレイチェーン部410からの遅延クロック群の中から、55段目、54段目のように遅延クロックの選択を切替カウンタ442のカウントアップ毎に行って、ドットクロックとしてK露光ユニット64に供給する(図8(f))。これにより、トータルで-2nsの補正が実行される。

【0092】なお、以上の場合のセレクト信号によるディレイ素子の切替え段数NCは、以下の(1)式で表せる。

$$NC = ER / (TC / NS) \quad \dots (1)$$

【0093】このような処理により、Y、M、C、Kの主走査方向のずれが解消され、色ずれのない画像が形成されるようになる。また、切替カウンタ442を動作させ続けるようにすることで、各水平ラインでランダムな位置で上述した切替えが行われるようになり、画像においてドットクロックの切替えが目立たなくなる。

【0094】

【発明の効果】以上詳細に説明してきたように、本発明によれば以下に述べるようなそれぞれの効果が得られる。

【0095】(1)請求項1記載の発明では、複数の遅延クロックの中から位相の異なる遅延クロックを順次選択し、この選択されたクロックを合成することによって所定時間内に発生するパルス数を所定数にしたクロックを生成するようにしている。

【0096】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを所定時間内に順次選択する

ことで、所定時間内のパルス数を所定数に合わせるようにしている。

【0097】この結果、外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

【0098】(2)請求項2記載の発明は、複数の遅延クロックから所望の入力信号の先端位置に同期した遅延クロックを検出して位相補正量を求め、この位相補正量に基づいて、複数の遅延クロックの中から位相の異なる遅延クロックを順次選択するようにしている。

【0099】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを、位相補正量に基づいて所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0100】この結果、外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

【0101】(3)請求項3記載の発明では、第1同期ポイント情報と第2同期ポイント情報とから遅延クロックの周期段数を求め、この周期段数に基づいて複数の遅延クロックの中から、位相の異なる遅延クロックを順次選択するようにしている。

【0102】すなわち、クロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを、遅延クロックの周期段数に基づいて所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0103】この結果、外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

【0104】(4)請求項4記載の発明では、少なくとも2色のずれ状態に応じて複数の遅延クロックの中から位相の異なる遅延クロックを順次選択し、この選択されたクロックを合成することによって所定時間内に発生するパルス数を所定数であって色ずれのない信号を生成するようにしている。

【0105】すなわち、各色毎にクロック周波数を微調整して合わせるのではなく、クロック周波数は変えずに、位相を細かく変えた遅延クロックを所定時間内に順

次選択することで、所定時間内のパルス数を所定数に合わせると共に色ずれを防止するようにしている。

【0106】この結果、外付け部品を使わず一つの集積回路内において、所定の時間内に発生するパルス数が所定数になるようなドットクロックを生成することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施例のクロック発生回路の電気的構成を示す構成図である。

10 【図2】本発明の第1実施例のクロック発生回路の主要部の電気的構成を示す構成図である。

【図3】本発明の第1実施例のクロック発生回路において複数の遅延クロックを発生するために従属接続されたディレイ素子群を示す模式図である。

【図4】本発明の第1実施例のクロック発生回路の主要部の構成を示す構成図である。

【図5】ずれ検出の様子を示す説明図である。

【図6】本発明の第1実施例のクロック発生回路の動作状態を説明するタイムチャートである。

20 【図7】本発明の第1実施例のクロック発生回路でのインデックス信号と遅延クロックとの同期状態を説明するタイムチャートである。

【図8】本発明の第1実施例のクロック発生回路の動作状態を説明するタイムチャートである。

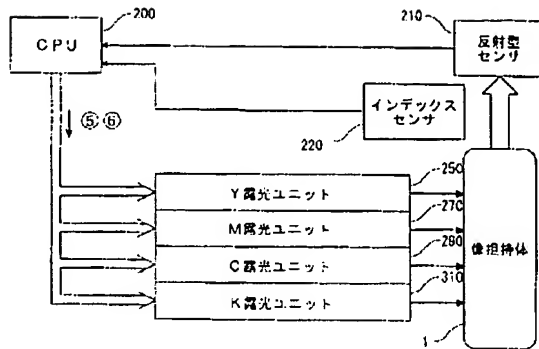
【図9】本発明の第1実施例の信号発生回路に使用される光学系の機械構成を示す斜視図である。

【図10】本発明の第1実施例のクロック発生回路を適用する画像形成装置の機械的構成を示す構成図である。

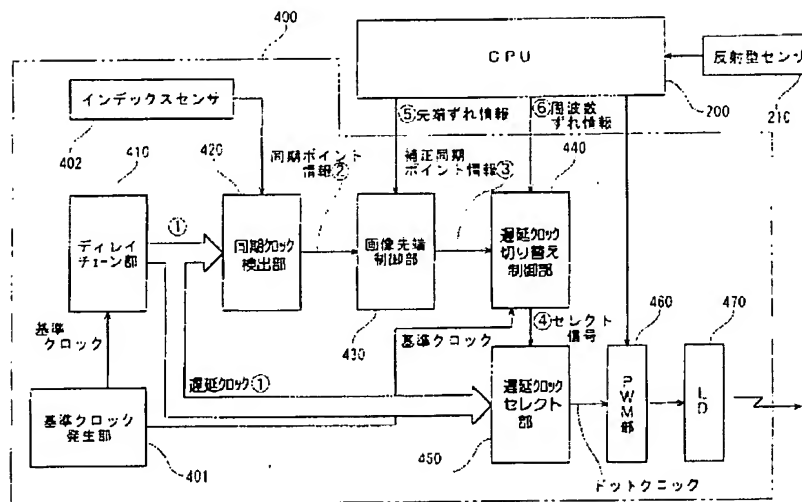
【符号の説明】

- 30 200 CPU
- 210 反射型センサ
- 250、270、290、310 露光ユニット
- 400 露光ユニットの電気的構成
- 401 基準クロック発生部
- 402 インデックスセンサ
- 410 ディレイチェーン部
- 420 同期クロック検出部
- 430 画像先端制御部
- 440 遅延クロック切り替え制御部
- 40 450 遅延クロックセレクト部
- 460 PWM部
- 470 レーザダイオード

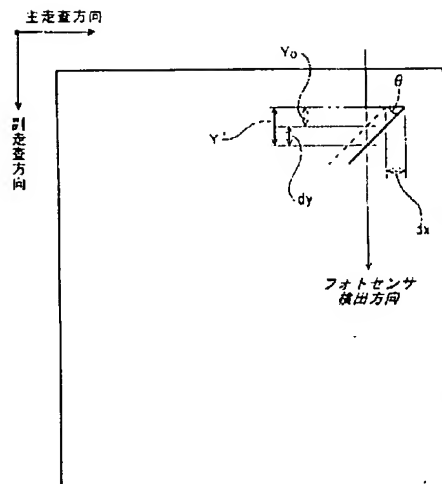
【図1】



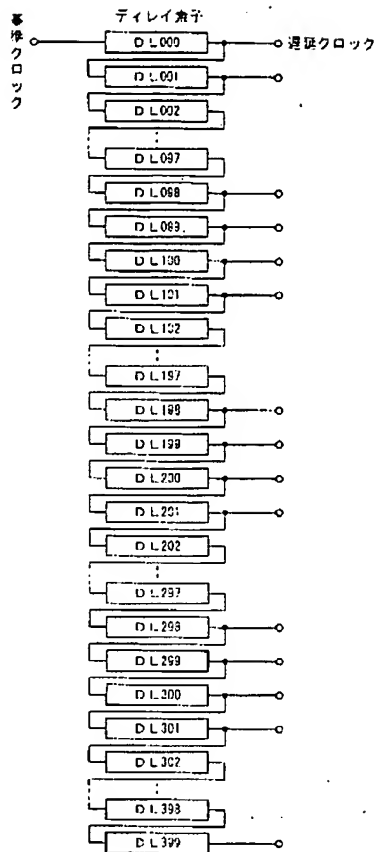
【図2】



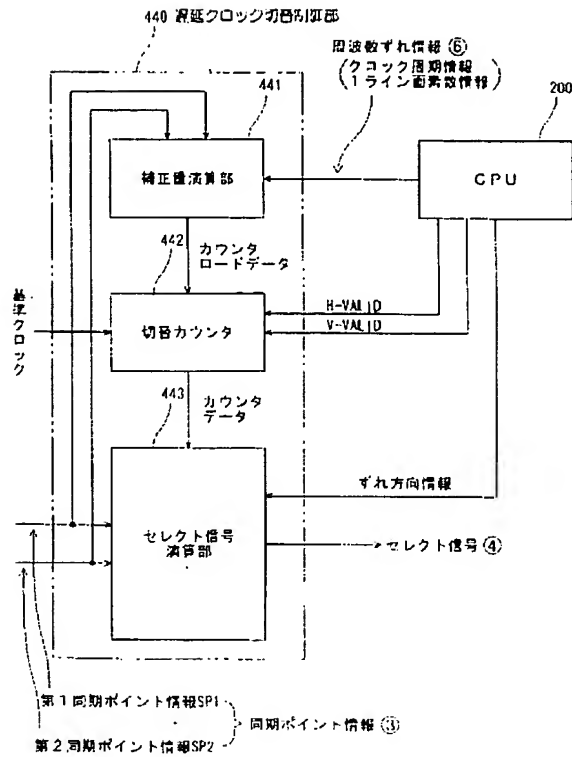
【図5】



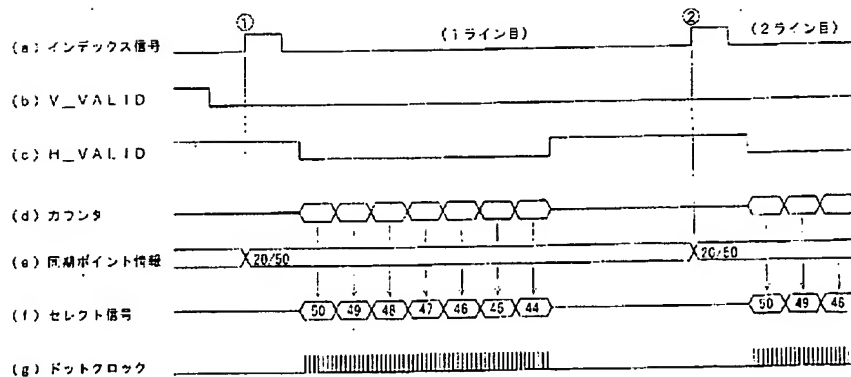
【図3】



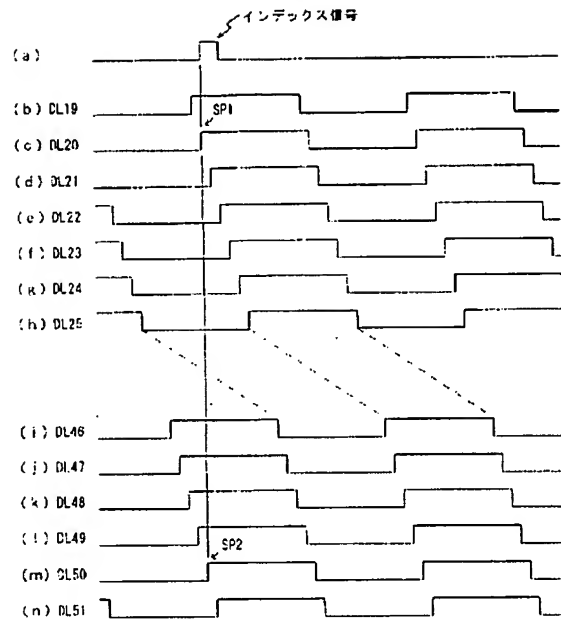
【図4】



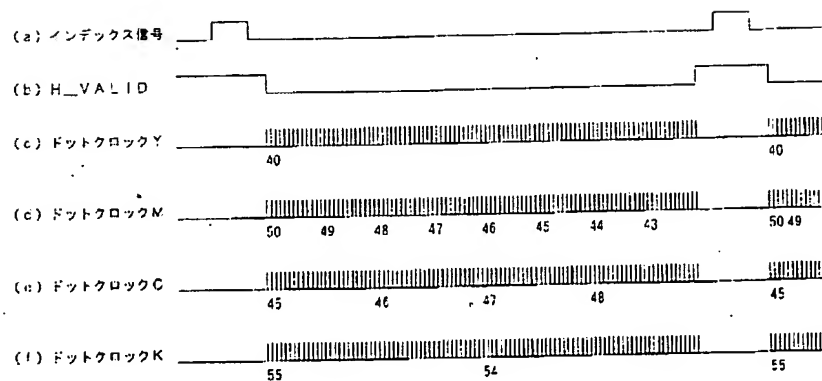
【図6】



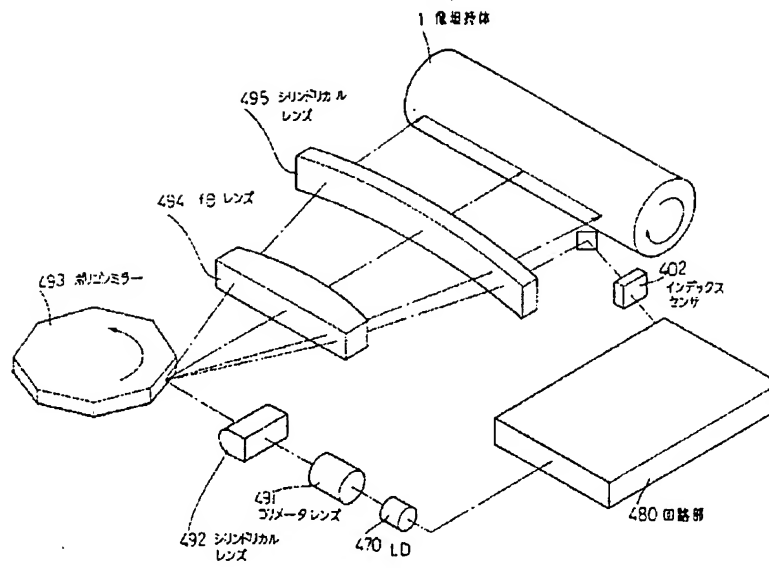
【図7】



【図8】



【図9】



【図10】

